

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-313257

(43)Date of publication of application : 09.11.1999

(51)Int.Cl.

H04N 5/335
H01L 27/146

(21)Application number : 10-120251

(71)Applicant : MINOLTA CO LTD

(22)Date of filing : 30.04.1998

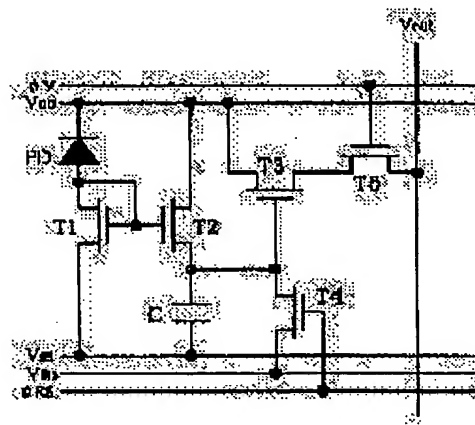
(72)Inventor : NAKAMURA SATOYUKI
TAKADA KENJI
HAGIWARA YOSHIO
MIYATAKE SHIGEHIRO

(54) SOLID-STATE IMAGE PICKUP DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a solid-state image pickup device excellent in S/N and wide in dynamic range and capable of obtaining a high pixel output.

SOLUTION: This device is configured by arranging pixels in a matrix. In this case, each pixel of the device is made up of a photoelectric conversion photoelectric diode PD, a MOS transistor(TR) T1 that converts its output current into a logarithmically transformed voltage, a MOS TR T2 whose gate receives the logarithmically transformed voltage, a capacitor C whose one-side terminal connects to a source of the MOS TR T2 to receive an output current from the source and whose other terminal connects to a DC voltage line Vss, a MOS TR T3 that amplifies an output of the capacitor C, and a guide path through which the amplified signal is led to an output signal line.



| | | | | | |
|---------------------------|------------------|---------|---|-------|-----------|
| (51)Int. Cl. ⁸ | 識別記号 | F I | H 0 4 N | 5/335 | E |
| H 0 4 N | 5/335 | H 0 1 L | 27/146 | A | |
| H 0 1 L | 27/146 | | | | |
| 審査請求 | 未請求 | 請求項の数 | 2 3 | O L | (全 1 8 頁) |
| (21)出願番号 | 特願平10-120251 | (71)出願人 | 000006079 ミノルタ株式会社 大阪府大阪市中央区安土町二丁目3番13号 | | |
| (22)出願日 | 平成10年(1998)4月30日 | (72)発明者 | 中村 里之 大阪国際ビル 大阪市中央区安土町二丁目3番13号 大阪 国際ビル ミノルタ株式会社内 | | |
| | | (72)発明者 | 高田 謙二 大阪市中央区安土町二丁目3番13号 大阪 国際ビル ミノルタ株式会社内 | | |
| | | (74)代理人 | 弁理士 佐野 静夫 | | |
| | | | 最終頁に続く | | |

T2のゲートには直流電圧φBSが印加されている。

【0004】フォトダイオードPPDに光が当たると、光電荷が発生し、その電荷はMOSTランジスタT1のゲートに蓄積される。ここで、MOSTランジスタT3のゲートにパルスφVを与えてMOSTランジスタT3をONすると、MOSTランジスタT1のゲートの電荷に比例した電流がMOSTランジスタT1、T3を通して出力信号線Voutへ導出される。このようにして入射光量に比例した出力電流を導出することができる。【信号線】

10 み出し後はMOSTランジスタT3をOFFにしてMOSTランジスタT2をONすることでMOSTランジスタT1のゲート電圧を初期化させることができる。

【0005】
【発明が解決しようとする課題】このように、従来のMOS型の固体撮像装置は各画素においてフォトダイオードで発生した光電流は第1MOSTランジスタのゲートに蓄積された光電荷をそのまま読み出すものであったからダイナミックレンジが狭く、また光源の変動成分やノイズ成分が含まれたまま出力されてしまい、しかも出力信号は小さいレベルであるので、S/Nが悪く全体として高品質の撮像信号を得ることができないという欠点があった。

【0006】本発明はこのような点に鑑みられたものであって、画素の出力を大きく得ることができ固体撮像装置を提供することを目的とする。また、本発明の他の目的はS/Nの良好な撮像信号を得ることができ固体撮像装置を提供することにある。更に他の目的はダイナミックレンジの広い固体撮像装置を提供することにある。

【0007】
【課題を解決するための手段】上記の目的を達成するため請求項1に記載の発明では、画素をマトリクス状に配してなる二次元の固体撮像装置において、各画素が、光電変換素子と；前記光電変換素子の出力電流を対数変換した電圧に変換する対数変換手段と；第1電極と第2電極と制御電極とを備え、この制御電極に前記対数変換手段の出力電圧が印加されるトランジスタと；一端が前記トランジスタの第2電極から出力電流を受けるキャパシタと；前記キャパシタの出力を増幅する増幅器と；増幅された信号を出力信号線へ導出する導出回路とから成っている。

【0008】この構成によると、光電変換出力信号はキャパシタで積分されるので、光電変換出力信号に含まれる光源の変動成分や高周波のノイズはキャパシタで吸収され除去される。そして、これらの変動成分や高周波のノイズの除去された光電変換出力信号は更に増幅器で増幅され充分な大きさととなって出力されるので、感度の良い撮像信号となる。更に、この構成では対数変換によって固体撮像装置のダイナミックレンジが広くなる。また、各画素ごとに光電変換手段とキャパシタと増幅器と導出手段が設けられているので、より正確に安定した

ド領域で動作する第2MOSTランジスタと；一端が第2MOSTランジスタの第2電極に接続され他端が直流電圧に接続され前記キャパシタの出力に発生した光電荷に基づき信号を導出するキャパシタと；前記キャパシタの一端にゲートが接続され第1電極が直流電圧に接続され増幅器として動作する第3MOSTランジスタと；前記キャパシタの他端に第1電極が接続され第2電極が直流電圧に接続されているとともにゲートにリセット信号が入力されるときONして前記キャパシタを初期化し、増幅器を用いて、第1電極に接続され第2電極が出力信号線に接続されゲート電極が行選択領域に接続された読み出し用の第5MOSTランジスタとから成っている。

【0014】このような構成によると、フォトダイオードで発生した光電流は第1MOSTランジスタで対数変換され、そのゲート電圧は対数変換電流に比例した電圧となる。この電圧によって第2MOSTランジスタを通じてキャパシタが充電される。積分が終了した時点で第5MOSTランジスタがONされキャパシタの電圧が第3MOSTランジスタで増幅されて出力信号線へ導出される。その後、第4MOSTランジスタのゲートにリセットパルスが印加されると、キャパシタは初期化され、再びキャパシタによる積分が開始される。

【0015】また、請求項13に記載の発明では、画素をマトリクス状に配してなる二次元の固体撮像装置において、各画素が、フォトダイオードと；前記フォトダイオードの一方の電極に第1電極とゲート電極が接続されサブスレッショルド領域で動作する第1MOSTランジスタと；ゲートが第1MOSTランジスタのゲートに接続されサブスレッショルド領域で動作する第2MOSTランジスタと；一端が第2MOSTランジスタの第2電極に接続され他端が直流電圧に接続されるとともに第2MOSTランジスタの第1電極にリセット電圧を与えられたときに第2MOSTランジスタを介してリセットされるキャパシタと；前記キャパシタの一端にゲートが接続され第1電極が直流電圧に接続されて増幅器として動作する第3MOSTランジスタと；第1電極が第3MOSTランジスタの第2電極に接続され第2電極が行選択領域に接続された読み出し用の第5MOSTランジスタとから成っている。

【0016】この構成では、キャパシタの積分やキャパシタ電圧の読み出しについては、上記請求項4の場合と同一であるが、キャパシタのリセットについては第2MOSTランジスタの第1電極にリセット電圧を与えられたとき、キャパシタの電荷が第2MOSTランジスタを通じて放電されることよってなされる。

【0017】また、請求項14に記載の発明では、画素をマトリクス状に配してなる二次元の固体撮像装置において、各画素が、フォトダイオードと；前記フォトダイ

信号読み出しが可能である。
【0009】請求項3に記載するように、増幅器は第1電極と第2電極とを有する増幅用トランジスタと、前記増幅用トランジスタの第2電極に通じる出力信号線に接続された負荷抵抗とを含むものであってもよい。この負荷抵抗は、いくつかの画素で共用されているもよい。従って、請求項4に記載するように、その総数が増減数より少なくてもよい。また、増幅用トランジスタを用いる場合、請求項5に記載するように、前記導出回路は増幅用トランジスタの第2電極に接続され、この第2電極から信号を導出するもよい。

【0010】負荷抵抗として請求項6に記載するようには、増幅用トランジスタの第2電極に接続された第1電極と、直流電圧に接続された第2電極と、直流電圧に接続された制御電極とを有する抵抗用トランジスタを用いてもよい。増幅用トランジスタとしてMOSTランジスタを用いてもよい。nチャネルかpチャネルかMOSTランジスタを用いる場合、請求項7に記載するように、増幅用トランジスタの第1電極に印加される直流電圧を抵抗用トランジスタの第2電極に接続される直流電圧よりも高電位とすればよい。

【0011】増幅用トランジスタとしてpチャネルMOSトランジスタを用いる場合、請求項8に記載するようには、増幅用トランジスタの第1電極に印加される直流電圧を抵抗用トランジスタの第2電極に接続される直流電圧よりも低電位とすればよい。前記導出回路としては、請求項9に記載するように、全画素の中から所定のものを順次選択し、選択された画素から増幅電圧を出力信号線に導出し、選択された信号を用いてもよい。請求項10に記載の発明では、第1キャパシタの出力を導出する間に、次の積分を行う第2のキャパシタを設けることにより、第1キャパシタの信号を読み出すと同時に第2キャパシタへの積分が可能となり、動画撮像に対応することが可能である。

【0012】また、請求項11に記載の発明では、前記キャパシタへの電流入力側にスイッチを設け、このスイッチを全画素で同時制御して全画素の積分時間を同一にしたことを特徴とする。本発明によれば、キャパシタに蓄積された電荷の読み出しのタイミングが行ごとに取替されることなく、そのキャパシタの積分時間（及びタイミング）は全画素で同一であるので、画素間での読み出しずれに基づく信号の誤差といったものは生じない。
【0013】また、請求項12に記載の発明では、画素をマトリクス状に配してなる二次元の固体撮像装置において、各画素が、フォトダイオードと；前記フォトダイオードの一方の電極に第1電極とゲート電極が接続されサブスレッショルド領域で動作する第1MOSTランジスタと；ゲートが第1MOSTランジスタのゲートに接続され第1電極が直流電圧に接続されサブスレッショルド

OSTランジスタをONして第2キャパシタをリセットし、次に第1スイッチをONして第1キャパシタの電荷を第2キャパシタへ転送するとともに第2キャパシタの積分を継続することを特徴とする固体撮像装置。

【請求項21】前記画素に対して前記出力信号線を通じて接続され前記第3MOSTランジスタのドレイン側で前記第3MOSTランジスタの負荷抵抗を成すMOSTランジスタを備えていることを特徴とする請求項12～請求項20のいずれかに記載の固体撮像装置。

【請求項22】画素マトリクスの列ごとに、その列に含まれる各画素の第5MOSTランジスタに接続された第1電極と、直流電圧に接続された第2電極と、直流電圧に接続されたゲートとを有する抵抗用トランジスタをさらに備えたことを特徴とする請求項16～請求項20のいずれかに記載の固体撮像装置。

【発明の詳細な説明】

【0001】
【発明の属する技術分野】本発明は固体撮像装置に関するものであり、特に画素を二次元に配置した固体撮像装置に関する。

【0002】
【従来の技術】フォトダイオード等の光電変換素子と、その光電変換素子で発生した光電荷を出力信号線へ取り出す手段とを含む画素をマトリクス状（行列状）に配してなる二次元固体撮像装置は種々の用途に供されている。ところで、このような固体撮像装置は光電変換素子で発生した光電荷を読み出す（取り出す）手段によってCCD型とMOS型に大きく分けられる。CCD型は光電荷をポテンシャルの井戸に蓄積しつつ、転送するようになっているが、ダイナミックレンジが狭いという欠点がある。一方MOS型はフォトダイオードのp-n接合容量に蓄積した電荷をMOSTランジスタを通して直接読み出すようになっている。

【0003】ここで、従来のMOS型固体撮像装置の1画素当りの構成を図24に示し説明する。図24において、PDはフォトダイオードであり、そのカソードがMOSTランジスタT1のゲートとMOSTランジスタT2のドレインに接続されている。MOSTランジスタT1のソースはMOSTランジスタT3のドレインに接続され、MOSTランジスタT3のソースは出力信号線Voutへ接続されている。またMOSTランジスタT1のドレインには直流電圧VDDが印加され、MOSTランジスタT2のソースとフォトダイオードPDのアニードには直流電圧Vssが印加されている。MOSTランジスタ

15

と、直流電圧に接続された第2電極と、直流電圧に接続されたゲートとを有する抵抗用MOSTランジスタをさらに備えたことを特徴とする。

【0029】また、請求項23に記載の発明では、請求項16～請求項20のいずれかに記載の固体画像装置において、画素マトリクス列ごとに、その列に含まれる各画素の第2スイッチに接続された第1電極と、直流電圧に接続された第2電極と、直流電圧に接続されたゲートとを有する抵抗用MOSTランジスタをさらに備えたことを特徴とする。

【0030】

【発明の実施の形態】以下、本発明の固体画像装置の各実施形態を図面を参照して説明する。図1は本発明の固体画像装置である二次元的MOS型固体画像装置の一部の構成を概略的に示している。同図において、G11～G_mは行列配座（マトリクス配座）された画素を示している。2は垂直走査回路であり、行（ライン）4-1、4-2、...、4-nを順次走査していく。3は水平走査回路であり、画素から出力信号線6-1、6-2、...、6-mに導出された光電変換信号を画素ごとに水平方向に順次読み出す。5は電源ラインである。各画素に対し、上記ライン4-1、4-2、...、4-nや出力信号線6-1、6-2、...、6-m、電源ライン5だけだけでなく、他のライン（例えば、クロックラインやイアス供給ライン等）も接続されるが、図1ではこれらについて省略し、図3以降の各実施形態において示している。

【0031】出力信号線6-1、6-2、...、6-mごとにnチャンネルのMOSTランジスタQ1、Q2が図示の如く1組ずつ設けられている。MOSTランジスタQ1のゲートは直流電圧V_{SS}に接続され、ドレインは出力信号線6-1に接続され、ソースは直流電圧V_Sのライン8に接続されている。一方、MOSTランジスタQ2のドレインは出力信号線9に接続され、ソースは最終的な信号線9に接続され、ゲートは水平走査回路3に接続されている。

【0032】画素G11～G_mnには、後述するように、それらの画素で発生した光電流に基づいて信号を増幅して出力する増幅用の第3MOSTランジスタT3が設けられている。その増幅用のMOSTランジスタT3と上記MOSTランジスタQ1との接続関係は図2(a)のようになる。ここで、MOSTランジスタQ1のソースに接続される直流電圧V_{SS}と、第3MOSTランジスタT3のドレインに接続される直流電圧V_{DD}との間隔はV_{DD}>V_{SS}であり、直流電圧V_{SS}は例えばラン電圧（接地）である。この回路構成は上段のMOSTランジスタT3のゲートに信号が入力され、下段のMOSTランジスタQ1のゲートには直流電圧が常時印加される。このため下段のMOSTランジスタQ1は抵抗と等価であり、図2(a)の回路はソースフォロア型の増

16

幅回路となっている。この場合、MOSTランジスタT3から増幅出力されるのは電流であると考えよい。【0033】MOSTランジスタQ2は水平走査回路3によって制御され、スイッチ素子として動作する。尚、後述するように各実施形態の画素内にはスイッチ用の第5MOSTランジスタも設けられている。この第5MOSTランジスタT5も含めて表すと、図2(a)の回路は正確には図2(b)のようになる。即ち、第5MOSTランジスタがMOSTランジスタQ1と第3MOSTランジスタT3との間に挿入されている。ここで、第5MOSTランジスタT5は行の選択を行うものである。図1および図2に示す構成は以下に説明する第1実施形態～第9実施形態に共通の構成である。いずれにしても、図2のように構成することにより信号のゲインを大きく出力することができる。

【0034】従って、画素がダイナミックレンジ拡大のために光電流を対数変換しているような場合は、そのままでは出力信号が小さいが、本増幅回路により充分大きな信号に増幅されるため、後段の信号処理回路（図示せず）での処理が楽になる。また、増幅回路の負荷抵抗部分を構成するトラランジスタQ1を画素内に設けず、列方向に配置された増幅の画素が接続される出力信号線6-1、6-2、...、6-mごとに設けることにより、負荷抵抗の数を低減でき、半導体チップ上で増幅回路が占める面積を少なくできる。

【0035】以下、各実施形態を画素部分の構成を示して説明する。尚、以下の各実施形態では、信号を第3MOSTランジスタT3で増幅して出力信号線へ導出する旨、説明しているが、正確には第3MOSTランジスタT3と上述の負荷抵抗用のMOSTランジスタQ1との組み合わせによって増幅するものであることは理解されるべきである。なお、本明細書において、「直流電圧へ接続」という場合、グラウンド電圧への接続、すなわち「接地」をも含むものとする。以下、各実施形態を画素部分の構成を示して説明する。

【0036】（第1実施形態）図3において、pnフォトダイオードPPDが感光部（光電変換部）を形成している。そのフォトダイオードPPDのアンダーは第1MOSTランジスタT1のドレインとゲート、及び第2MOSTランジスタT2のゲートに接続されている。第2MOSTランジスタT2のソースは第3MOSTランジスタT3のドレインに接続され、第3MOSTランジスタT3のソースは第5MOSTランジスタT5のドレインに接続されている。第5MOSTランジスタT5のソースは出力信号線V_{out}（このV_{out}は図1の6-1、6-2、...、6-mに対応する）へ接続されている。

【0037】また、pnフォトダイオードPPDのソース

17

ドと第2MOSTランジスタT2のドレイン、及び第3MOSTランジスタT3のドレインには直流電圧V_{DD}が印加されるようになっている。一方、第1MOSTランジスタT1のソースには直流電圧V_{SS}が、第2MOSTランジスタT2のソースにはキャパシタCを介して同じ直流電圧V_{SS}が印加されており、第4MOSTランジスタT4のソースには直流電圧V_{SS}が印加されている。第1、第2のMOSTランジスタT1、T2はいずれもサブスレッショルド領域で動作するようにバイアスされている。

【0038】今、フォトダイオードPPDに光が当たると光電流が発生し、第1MOSTランジスタT1のゲートには、MOSTランジスタのサブスレッショルド特性により、前記光電流を対数変換した値の電圧が発生する。この電圧により、キャパシタCには光電流の積分値を対数変換した値と同等の電荷が蓄積される。ここで第5MOSTランジスタT5のゲートにバリスΦVを与えて、第3MOSTランジスタT3のゲートにバリスΦVを与えて、第3MOSTランジスタT3のゲートにバリスΦVをONにして、第3MOSTランジスタT3のソースに出力信号線V_{out}へ導出される。このようにして入射光量の対数値に比例した信号（出力電流）を読み出すことができる。信号読み出し後は第5MOSTランジスタT5をOFFにして第4MOSTランジスタT4をONすることによってキャパシタC及び第3MOSTランジスタT3のゲート電圧を初期化させることができる。

【0039】（第2実施形態）図4に示すように第2実施形態では、第2MOSTランジスタT2のドレインにクロックΦDを与えることによりキャパシタC及び第3MOSTランジスタT3のゲート電圧をリセット（初期化）するようにし、それによって第4MOSTランジスタT4を削除した構成となっている。その他の構成は第1実施形態（図3）と同一である。尚、クロックΦDのハイレベル期間では、キャパシタCに積分が行われ、ローレベル期間では、放電され、キャパシタCの電圧がMOSTランジスタT2を通して放電され、キャパシタCの電圧及び第3MOSTランジスタT3のゲートは略クロックΦDのローレベル電圧になる（リセット）。この第2実施形態では、第1MOSTランジスタT1を省略できる分、構成がシンプルになる。

【0040】（第3実施形態）図5に示すように、第3実施形態は、第1実施形態（図3）に対し第2MOSTランジスタT2とキャパシタCとの間にnチャンネル型点6MOSTランジスタT6をスイッチとして挿入した点が特徴となっている。この第6MOSTランジスタT6のドレインは第2MOSTランジスタT2のソースに接続され、ソースはキャパシタCに接続され、ゲートには積分時間制御電圧（スイッチング電圧）Φ_{int}が印加されるようになっている。積分時間制御電圧Φ_{int}をハイレベルにして第6MOSTランジスタT6をONし

(10)

18

た状態でキャパシタCの積分動作が行なわれる。そして、キャパシタCの信号を読み出す際には、積分時間制御電圧Φ_{int}をローレベルにして第6MOSTランジスタT6をOFFにした状態で、第5MOSTランジスタT5をONし、第3、第5MOSTランジスタT3、T5を通して出力信号線V_{out}へ読み出す。

【0041】信号読み出し後は、第5MOSTランジスタT5をOFFにし、且つ第6MOSTランジスタT6をOFFにした状態で第4MOSTランジスタT4をONさせることによってキャパシタC及び第3MOSTランジスタT3のゲート電圧のリセット（初期化）を行なう。しかる後、第6MOSTランジスタT6をONしてキャパシタCによる積分を行なう。この第3実施形態では、二次元的に配置された全ての画素の第6MOSTランジスタT6のゲートに同時刻、同時刻だけバリスを与え、全ての画素が同時刻、同時刻だけ積分された電荷をと、各画素のキャパシタCに蓄積することができる。

【0042】（第4実施形態）図6に示すように、第4実施形態は第1実施形態（図3）に対して、第4MOSTランジスタT4を省略するとともに、第2MOSTランジスタT2のドレインにクロックΦDを与えるようにし、且つ第6MOSTランジスタT6のソースとキャパシタC間の第6MOSTランジスタT6をスイッチとし、第6MOSTランジスタT6はドレインが第2MOSTランジスタT2のソースに接続され、ソースがキャパシタCに接続され、ゲートには積分時間制御電圧Φ_{int}が印加されるようになっている。

【0043】フォトダイオードPPDに光が当たると光電流が発生し、MOSTランジスタT1のゲートには、MOSTランジスタのサブスレッショルド特性により、前記光電流を対数変換した値の電圧が発生する。この電圧により、キャパシタCには光電流の積分値を対数変換した値と同等の電荷が蓄積されるが、ここで2次元に配置された全ての画素の第6MOSTランジスタT6のゲートに同時刻、同時刻だけONさせるバリスを与え、すべての画素が同時刻、同時刻だけ積分された電荷をと、各画素のキャパシタCにそれぞれ蓄積することができる。

【0044】次に第5MOSTランジスタT5のゲートにバリスΦVを与え、第5MOSTランジスタT5をONにして第3MOSTランジスタT3のゲートへ蓄積された電荷（この電荷はキャパシタCの電荷量に依存している）に比例した電流が第3、第4MOSTランジスタT3、T4を流し、信号出力線V_{out}へ導出される。このようにして入射光量の対数値に比例した信号を読み出すことができる。信号読み出し後は第5MOSTランジスタT5をOFFにし、第6MOSTランジスタT6をONにして第2MOSTランジスタT2のドレインにキャパシタCの初期化のためのクロックΦDを与えること

とでキャパシタC及び第3MOSTランジスタT3のゲ

れた電荷に比例した電流が第3、第5MOSトランジスタT3、T5を通り、出力信号線Voutへ導出される。このようにして入射光量の対数値に比例した出力電流を導き出すことができる。信号線Voutは第5MOSトランジスタT5をOFFにして第4MOSトランジスタT4をONすることによって第2キャパシタC2及びMOSトランジスタT3のゲート電圧を初期化させることができ、この実施形態では、全ての画素の第6MOSトランジスタT6の動作を同一に行なうことにより、全画素の積分タイミング(従って積分時間)を同一にできる。

【0054】(第8実施形態) 図10に示すように、第8実施形態では、第7実施形態(図9)に対し、第2MOSトランジスタT2のドレインに直流電圧がクロックφDを印加することによって第4MOSトランジスタT4を削除している点が第7実施形態と相違しているだけで、その他の接続構成は同一である。この実施形態では、第1キャパシタC1の積分、その積分電荷の第2キャパシタC2への転送、及び第2キャパシタC2の内容の読み出しについては第7実施形態と同じである。

【0055】信号の読み出しが終わってキャパシタC2のリセットを行なうとき、第6MOSトランジスタT6をONした状態で第2MOSトランジスタT2のドレインにクロックφDのローレベル電圧を与えることによって第1キャパシタC1の電荷が第2MOSトランジスタT2を通して放電されるとともに、第2キャパシタC2の電荷が第6MOSトランジスタT6及び第2MOSトランジスタT2を通して放電され、第1、第2キャパシタC1、C2が同時に前記クロックφDのローレベル電圧に設定(初期化)される。

【0056】(第9実施形態) 図11に示すように、第9実施形態では、第7実施形態(図9)に対し、第2MOSトランジスタT2のドレインに直流電圧でなく、クロックφDを印加するようにしている点が相違しているだけで、他の部分は第7実施形態と同一である。この実施形態では、第1、第2キャパシタC1、C2のリセット(初期化)を互いに独立に行なう。即ち、第1キャパシタC1のリセットは第2MOSトランジスタT2のドレインにクロックφDのローレベル電圧を印加することによって行ない、第2キャパシタC2のリセットは第4MOSトランジスタT4をONして行なう。

【0057】フォトダイオードPDに光が当たって光電流が発生すると第1MOSトランジスタT1のゲートには、MOSトランジスタのサブスレッショルド特性により、前記光電流を対数変換した値の電圧が発生する。この電圧により、第1キャパシタC1には光電流の積分値を対数変換した値と同等の電荷が蓄積される。従って、全ての第2MOSトランジスタT2のドレインに同時に、同時刻だけクロックφDのローレベルを与えてキャパシタC1への積分を開始し、その後全ての第6MOSトランジスタT6をONすると第1キャパシタC1で積

分)を読み出しと並行して行なうことにより積分時間を短縮でき、TVレートの動画撮影が可能となる。

【0050】(第6実施形態) 図8に示すように、第6実施形態は第1実施形態(図3)に対し、第4MOSトランジスタT4のゲートにリセット電圧として所定の直流電圧RST(DC)を格納するようにした点が相違しており、その他の構成は第1実施形態と同一である。本実施形態では、格納ONする第4MOSトランジスタT4が抵抗と等価になり、キャパシタに所定値の抵抗が接続されていることとなる。このためキャパシタの初期値が、その抵抗によって決まることになる。換言すれば、第4MOSトランジスタT4のゲート電圧に加え直流電圧を可変することによって初期値を調整できる。

【0051】(第7実施形態) 図9に示すように、第7実施形態は第1実施形態(図3)に対し、キャパシタと、それらの間にnチャネルMOSトランジスタより成る第6MOSトランジスタT6をスイッチとして接続している点が相違し、その他の構成は第1実施形態と同一である。図9において、第2MOSトランジスタT2のソースと直流電圧Vssとの間に第1キャパシタC1が接続されその第1キャパシタC1の一端と第2MOSトランジスタT2のソースに第6MOSトランジスタT6のドレインが接続されている。そして、この第6MOSトランジスタT6のソースと直流電圧Vssとの間に第2キャパシタC2が接続されている。また、この第2キャパシタC2と第6MOSトランジスタT6のソースに増幅用の第3MOSトランジスタT3のゲートが接続されている。

【0052】フォトダイオードPDに光が当たって光電流が発生すると第1MOSトランジスタT1のゲートには、MOSトランジスタのサブスレッショルド特性により、前記光電流を対数変換した値の電圧が発生する。この電圧により、第1キャパシタC1には光電流の積分値を対数変換した値と同等の電荷が蓄積される。そして、第6MOSトランジスタT6をONすると、第1キャパシタC1で積分された電荷が第2キャパシタC2へ移送される。このとき、第2キャパシタC2の容量を第1キャパシタC1の容量に比し充分大きく選んでおけば、第1キャパシタC1の電荷は殆ど第2キャパシタC2へ移行される。従って、第1キャパシタC1について見れば、リセットされたと等価である。電荷を第2キャパシタC2へ転送後、積分を続行する。

【0053】次に、第6MOSトランジスタT6をOFFにし、第5MOSトランジスタT5のゲートにパルスφVを与えて、第5MOSトランジスタT5をONにすると第3MOSトランジスタT3のゲートへ蓄積(この電荷は第2キャパシタC2の電荷量に依存している)さ

ート電圧を初期化させることができる。

【0045】(第5実施形態) 図7に示すように、第5実施形態は第3実施形態(図5)に対し、第2MOSトランジスタT2のドレインにクロックφDを与えるようにしている点が主に相違している。尚、Csは第2MOSトランジスタT2のソース(第6MOSトランジスタT6のドレイン)に隣接するpn接合容量である。

【0046】なお、前記接合容量Csは図23に示すように、n型半導体基板100に形成したPウェル層10と第2MOSトランジスタT2のソース領域102と第6MOSトランジスタT6のドレイン領域105と兼用間に形成される。ただし、このソース領域102は第6MOSトランジスタT6のドレイン領域105と兼用になっている。図23において、103は第2MOSトランジスタT2のドレイン領域であり、また106は第6MOSトランジスタT6のソース領域である。104、107はそれぞれ第2、第6MOSトランジスタT2、T6のゲート電極である。

【0047】フォトダイオードPDに光が当たって光電流が発生すると第1MOSトランジスタT1のゲートには、MOSトランジスタのサブスレッショルド特性により、前記光電流を対数変換した値の電圧が発生する。この電圧により、キャパシタC1には光電流の積分値を対数変換した値と同等の電荷が蓄積されるが、ここで2次元に配置されたすべての画素の第6MOSトランジスタT6のゲートに同時に、同時刻だけパルスを与えることとすべての画素が同時刻、同時刻だけ積分された電荷を各画素のキャパシタC1にそれぞれ蓄積することができる。

【0048】次に第5MOSトランジスタT5のゲートにパルスφVを与えて、第5MOSトランジスタT5をONにすると、第3MOSトランジスタT3のゲートへ蓄積された電荷に比例した電流が第3、第5MOSトランジスタT3、T5を通り、出力信号線Voutへ導出される。このようにして入射光量の対数値に比例した信号を読み出すことができる。また、各画素の積分終了時(第6MOSトランジスタT6がOFFになった後)に第2MOSトランジスタT2のドレインにクロックφDのローレベルを与え、この第2MOSトランジスタのソース(第3MOSトランジスタのドレイン)の初期化、即ち接合容量Csの初期化(リセット)を行った後、クロックφDがハイレベルになったときから接合容量Csへの積分を開始し、信号線Voutに次のフレームの信号を接合容量Csに蓄積しておく。

【0049】そして、全画素の信号(第フレームの値)を読み出した後、第4MOSトランジスタT4をONにしてキャパシタC2及び第3MOSトランジスタT3のゲート電圧を初期化する。次に、第4MOSトランジスタT4をOFFにして第6MOSトランジスタT6をONさせ接合容量Csに蓄積された電荷をキャパシタC1に移し、キャパシタC2の積分を継続させる。これにより同時刻、同時刻の積分機能を持ち、且つ動画にも対応

分された電荷が第2キャパシタC2へ移送される。こ

【0058】次に第5MOSトランジスタT5のゲートにパルスφVを与え、第5MOSトランジスタT5をONにすると第3MOSトランジスタT3のゲートへ蓄積された電荷に比例した電流が第3、第5MOSトランジスタT3、T5を通り、出力信号線Voutへ導出される。このようにして入射光量の対数値に比例した信号を読み出すことができる。また、各画素の積分終了時(第6MOSトランジスタT6がOFFになった後)に第2MOSトランジスタT2のドレインにクロックφDのローレベル電圧を与え、第1キャパシタC1の初期化を行なう。信号線Voutに次のフレームの信号を第1キャパシタC1に蓄積しておく。

【0059】そして、全画素の信号を読み出した後、第4MOSトランジスタT4をONにして第2キャパシタC2及び第3MOSトランジスタT3のゲート電圧を初期化する。次に、第6MOSトランジスタT6をONさせ第1キャパシタC1に蓄積された電荷を第2キャパシタC2に移し、積分を継続させる。これにより全画素が同時刻、同時刻の積分機能を持ち、且つ動画にも対応

【0060】以上説明した第1～第9実施形態は、画素内の能動素子であるMOSトランジスタT1～T6を全てnチャネル型のMOSトランジスタで構成しているが、これらnMOSトランジスタT1～T6を全てpチャネル型のMOSトランジスタで構成してもよい。図14～図22には、上記第1～第9実施形態をpチャネルMOSトランジスタで構成した例である。第10実施形態～第18実施形態を示している。そのため図12～図22では接続の極性や印加電圧の極性が逆になっている。例えば、図14(第10実施形態)において、フォトダイオードPDはアノードが直流電圧VDDに接続され、カソードが第1MOSトランジスタT1のドレインとゲートに接続され、また第2MOSトランジスタT2のゲートに接続されている。第1MOSトランジスタT1のソースは直流電圧Vssに接続されている。

【0061】この場合、直流電圧VssとVDDは、Vss>VDD となっており、図3(第1実施形態)と逆である。また、キャパシタCの出力電圧は初期値が高い電圧で、積分によって低下する。また、第4MOSトランジスタT4や第5MOSトランジスタT5をONさせると、低電圧をゲートに印加する。以上の通り、nチャネル型のMOSトランジスタを使った場合に比し、pチャネル型MOSトランジスタを用いる場合

は、電圧増幅や接続関係が一致するが、構成は実質的に同一であり、また基本的な動作も同一であるので、図14～図22については図面中表示のみで、その構成や動作についての説明は省略する。

【0062】尚、これらの第10～第18実施形態の画面を含む固体撮像装置の全体構成を説明するためのブロック回路構成図を図12に示し、その電圧増幅回路部分抜き出して図13に示している。図12については、図11と同一部分（同一の役の部分）に同一の符号を付して説明を省略する。図12に示すように、列方向に配列された出力信号線6-1、6-2、...、6-mに対してpチャネルMOSトランジスタQ1とpチャネルMOSトランジスタQ2が接続されている。MOSTランジスタQ1のゲートは垂直走査線7に接続され、ドレインは出力信号線6-1に接続され、ソースは直流通電VSS'のライン8に接続されている。一方、MOSTランジスタQ2のドレインは出力信号線6-1に接続され、ソースは最終的な信号線9に接続され、ゲートは水平走査線3に接続されている。ここで、トランジスタQ1は画面内のpチャネル型の第3MOSTランジスタT3と共に図13(a)に示すような増幅回路を構成している。

【0063】この場合、MOSTランジスタQ1は第3MOSTランジスタT3の負荷抵抗となっている。従って、このトランジスタQ1のソースに接続される直流通電VSS'と、第3MOSTランジスタT3のドレインに接続される直流通電VDD'との間には、 $V_{DD'} < V_{SS'}$ であり、直流通電VDD'は例えばグラント電圧（接地）である。トランジスタQ1のドレインはトランジスタT3に接続され、ゲートには直流通電VDD'が印加されている。pチャネルMOSトランジスタQ2は水平走査線9によって制御され、増幅回路の出力を最終的な信号線9へ導出する。画面内の第5MOSTランジスタT5を考慮すると、図13(a)の回路は図13(b)のように変えられる。

【0064】

【発明の効果】以上説明したように本発明によれば、キャパシタで積分するようにしているため、光源の変動成分やノイズ成分を除去できるとともに、増幅により所望の信号が大きくなり得るので、S/Nが向上した高品質の増幅信号を得ることができるとともに、後続回路での信号処理が楽になる。また、光電流を対数変換することによりダイナミックレンジが広がる。また、各画面ごとに光電変換手段とキャパシタと増幅器と導出手段が設けられているので、より正確に安定した信号読み出しが可能である。更に、駆動素子をMOSTランジスタで構成することにより周辺回路（A/Dコンバータ、デジタル・システム・プロセス、メモリ）等と共にワンチップ上に形成することができ、例えばワンチップカメラの発現に有用となる。

【図面の簡単な説明】

【図1】本発明の一実施形態である二次元固体撮像装置の全体の構成を説明するためのブロック回路図

【図2】図1の一部の回路図

【図3】本発明の第1実施形態の1画面の構成を示す回路図

【図4】本発明の第2実施形態の1画面の構成を示す回路図

【図5】本発明の第3実施形態の1画面の構成を示す回路図

【図6】本発明の第4実施形態の1画面の構成を示す回路図

【図7】本発明の第5実施形態の1画面の構成を示す回路図

【図8】本発明の第6実施形態の1画面の構成を示す回路図

【図9】本発明の第7実施形態の1画面の構成を示す回路図

【図10】本発明の第8実施形態の1画面の構成を示す回路図

【図11】本発明の第9実施形態の1画面の構成を示す回路図

【図12】画面内の駆動素子をpチャネルMOSトランジスタで構成した実施形態の場合の本発明の二次元固体撮像装置の全体の構成を説明するためのブロック回路図

【図13】図12の一部の回路図

【図14】本発明の第10実施形態の1画面の構成を示す回路図

【図15】本発明の第11実施形態の1画面の構成を示す回路図

【図16】本発明の第12実施形態の1画面の構成を示す回路図

【図17】本発明の第13実施形態の1画面の構成を示す回路図

【図18】本発明の第14実施形態の1画面の構成を示す回路図

【図19】本発明の第15実施形態の1画面の構成を示す回路図

【図20】本発明の第16実施形態の1画面の構成を示す回路図

【図21】本発明の第17実施形態の1画面の構成を示す回路図

【図22】本発明の第18実施形態の1画面の構成を示す回路図

【図23】上記第5実施形態における接合容量の構成を示す図

【図24】従来例の1画面の構成を示す回路図

【符号の説明】

50 G11～Gmn 画面

2 垂直走査回路

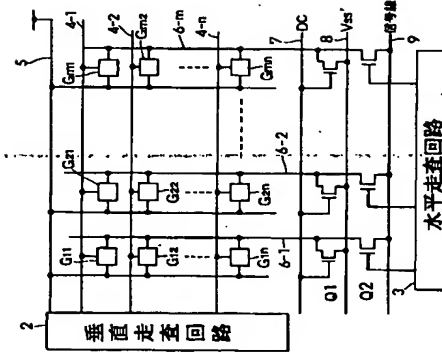
3 水平走査回路

4-1～4-n 行選択線

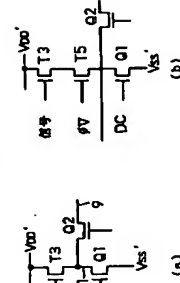
6-1～6-m 出力信号線

PD フォトダイオード

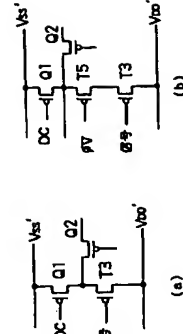
【図1】



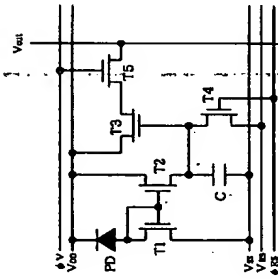
【図2】



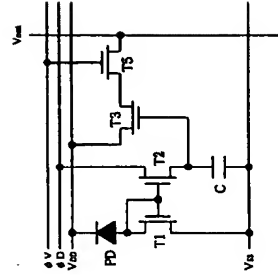
【図13】



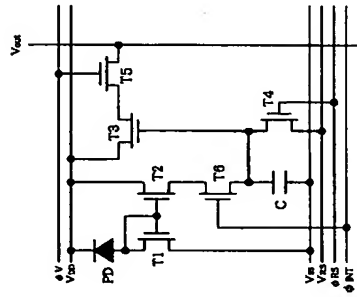
【図3】



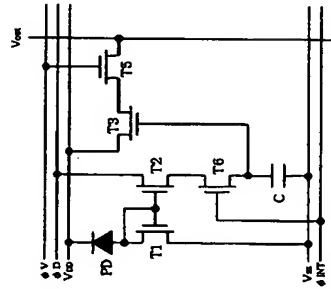
【図4】



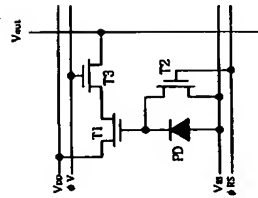
【图5】



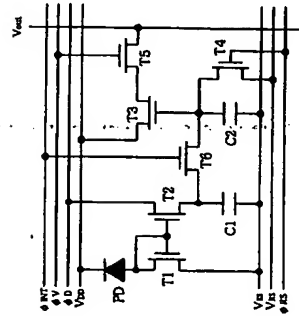
【图6】



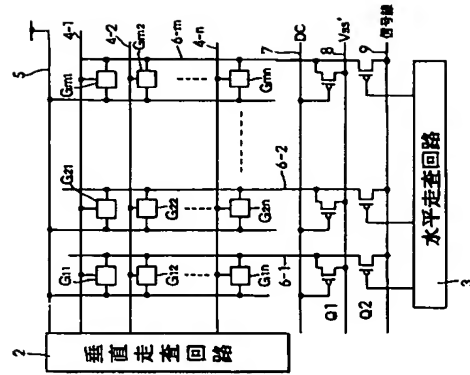
【图24】



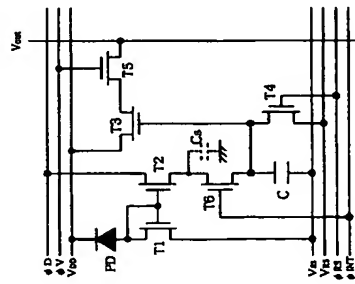
【图11】



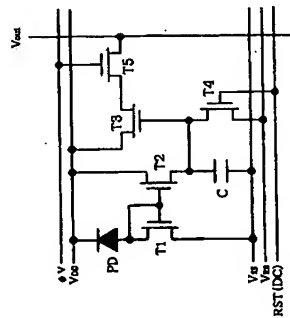
【图12】



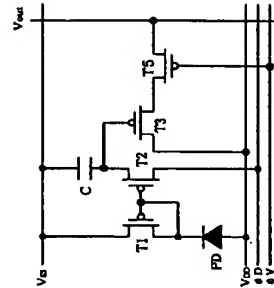
【图7】



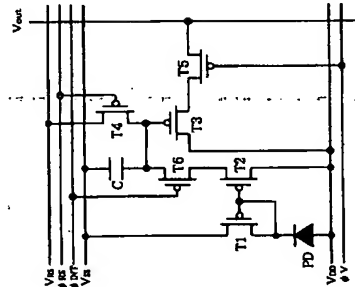
【图8】



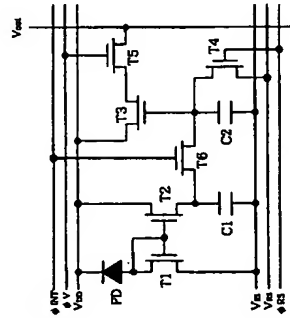
【图15】



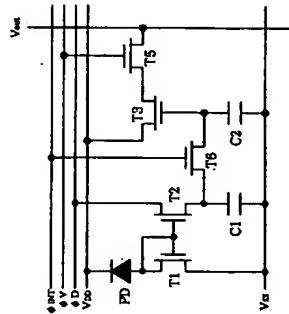
【图16】



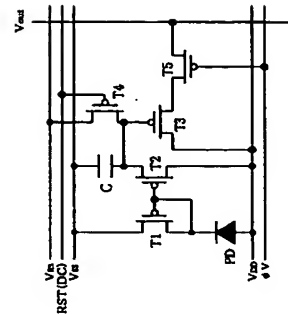
【图9】



【图10】



【图19】

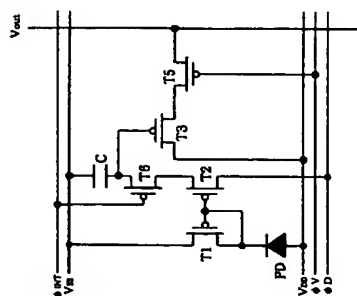


フロントページの続き

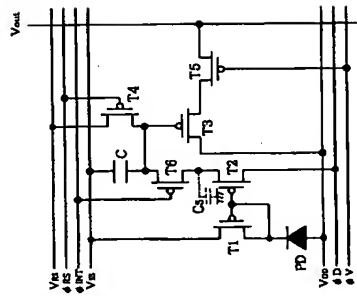
(72)発明者 萩原 毅雄
大阪市中央区
国際ビル

(72)発明者 官武 茂博
大阪市中央区安土町二丁目3 13号 大阪
国際ビル ミノルタ株式会社内

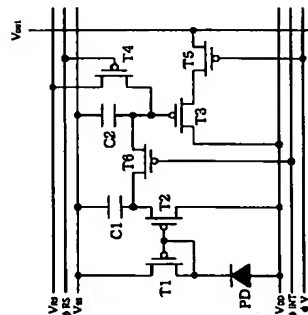
【図17】



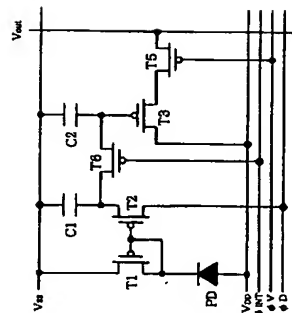
【图18】



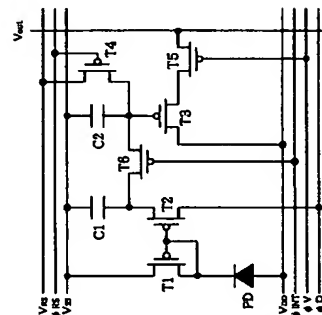
【图20】



【图21】



【图22】



【23】

